三维芯片的测试技术研究进展

韩银和，张磊，李晓维

摘要： 本文分析介绍了三维芯片测试的最新进展，首先介绍三维芯片设计技术，通过对该技术的剖析，分析其当前面临的主要挑战：新型硅直通孔故障、不完整电路测试问题、绑定前后测试协同优化问题等。本文对国际上目前已经提出的多种方法进行了分析，并预测了未来的一些研究点。

关键词： 三维芯片，晶圆，硅直通孔，扫描链，测试访问机制

1 引言

三维芯片设计通过垂直集成大大提升了芯片的集成度，成为当前半导体产业发展最快的技术之一，被认为是一种延续摩尔定律增长趋势的新方法，也有专家认为它将发展成为一项“超越摩尔定律”的设计技术[12]。三维芯片设计不同于以往平面设计方法，它可以将多个晶片(die)通过硅直通孔（TSV, Through Silicon Via）进行上下堆叠(stacking)来实现垂直集成。通过这种垂直集成，可获得更小的芯片外形尺寸，增加封装密度，更好满足带宽要求，提高射频和功耗性能，降低成本等显著优点[9] [10] [11]。

正是认识到三维芯片设计对于整个集成电路产业发展的重要意义，自 2004 年以来，国际上特别是美国已经有很多研究组开展了三维芯片设计方面的工作。国际上的一些大公司如英特尔和 IBM 都已经推出了相应的工艺线，极大地推进了三维芯片的产业化进程。在国家层面，欧美多国陆续开展了多个国家项目支持三维芯片相关研究。我国国内多家学术研究机构近几年也在国家重点专项和自然科学基金资助下开始重点关注该领域的研究工作。

区别于传统的封装上系统（system-on-package, SOP），在三维芯片中使用硅直通孔取代线绑定和倒装封装互连。硅直通孔的直径通常为几微米量级[13]，为内部互联线尺寸的数十到数百倍，因而使各晶片间内部信号互连成为可能；两个晶片中互连线的数目也从 SOP 中的最多数千个，拓展到 10 万-100 万量级。硅直通孔也减少了两个晶片之间的连线距离，硅直通孔垂直高度一般在 10μm-100μm 之间[8]，远小于传统的两晶片的线绑定距离，使晶片内部信号高速互连成为可能；同时借助于硅直通孔可制造出更可靠的多晶片芯片。这一切使其突破了目前线绑定等现有封装上系统的限制而成为具有很大前景的全新技术。

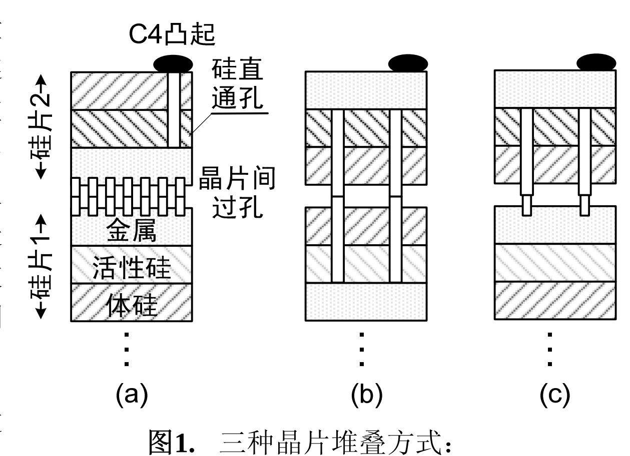


图1. 三种晶片堆叠方式：
（a）面对面；（b）背对背；（c）面对背

将多层晶片封装在一起，这一制造过程也称为“绑定（bonding）”。图 1 给出了三维集成的例子。两个晶片分别使用不同的工艺制造，它们通过使用长度较短、数目众多的晶片对晶片的硅直通孔进行互连，直通孔部分填充铜或者是完全填充多晶硅或钨。使用直通孔连接时两个晶片相对可以有不同方式。图 1 中（a）给出了面部对面部互连方式，在这种连接方式中，两个晶片的金属层紧邻，金属层通过直通孔互连。在面对面方式中，容易制造出具有非常高密度的硅直通孔。如果超

过 2 层以上的晶片堆叠，就不可避免要出现面部对背部或是背部对背部方式（图 1 中的(b)和(c)）。

如果设计是自上而下的（即使是自下而上的设计，也同样存在下述问题），芯片看作是一个功能整体，在设计单层晶片时，就必须考虑如何在不同叠层对原有功能和电路进行划分。根据粒度不一样，有三种方法划分：工艺划分、结构划分和电路划分。在工艺划分中，每一层晶片使用不同工艺进行制造，比如可以用高速 CMOS 工艺来制造逻辑电路层，使用高密度的工艺制造动态存储器（DRAM），使用一些特殊的工艺来制造射频电路等等。这些不同工艺制造的功能层使用硅直通孔互连。结构划分是根据完成功能的不同，将不同的功能模块划分到不同的晶片，晶片上的功能模块通过硅直通孔互连。电路划分是不同电路划分到不同晶片上，在划分电路时，只考虑电路拓扑结构，而不关心电路功能是否完整。三种划分中，工艺划分简单易行，电路划分粒度最小，对整个电路的性能优化也最为明显。

目前，在三维芯片设计领域，主要关注点集中在体系结构[14]和设计自动化（EDA）[15]方面，对三维芯片进行测试考虑得较少。有些三维设计领域的专家甚至将测试看作是三维芯片的“第一挑战”[6]。测试完成的好坏主要有两个衡量因素：测试的质量和测试成本。测试质量提升的驱动力在于否对三维芯片中的故障进行准确的模型化以指导设计和生产流程的优化；而测试成本多少取决于可测试性设计的开销和测试耗费的时间。

在三维芯片设计流程中，芯片制造商首先制造出晶片，再将多个晶片绑定在一起成为一个完整功能的芯片。因而，急需要回答的第一个问题就是每一层晶片在绑定前是否需要进行一次预测试？对此进行决策需要兼顾单层晶片测试的成本和封装的成品率两个因素。多层晶片堆叠的成品率将随着堆叠的层数增加而减小，如果不进行绑定前测试，则单晶片失效会导致整个芯片失效。目前大家的共识是绑定前还是需要测试，先淘汰绑定前有缺陷的晶片。本文后述的测试方法也是基于这一共识的。

如果三维芯片是采用电路划分的，那么绑定前测试，就需要面临一个基础性难题：每一层晶片中的电路可能是不完整的，如何对这些不完整电路进行测试？对于这个问题，文章[3]给出了一个设计方法。然而，不论从面积开销还是测试时间开销上分析，该方法并不是一个完善的解决方案，只是提供了解决该问题的原理性思路。同时，对于三维芯片测试还有另一个难题：绑定前和绑定过后测试环境不一样，如何保证二者的协同优化？。同时，三维芯片有显著区别于二维芯片的地方，比如三维芯片对温度将更为敏感，因而在测试时就必须更加关注功耗和温度等因素对测试的影响。

在最近两三年，国内已经有学者对三维芯片的布局布线展开了研究，但在三维芯片的测试研究工作尚未开展，国际相关研究成果也不多，因此这个问题很可能将成为国际测试界下一波研究的热点。在三维芯片有可能演化成为未来芯片设计的主流方法这一大趋势下，三维芯片的测试方法也将显得尤为重要。本文将对三维芯片的一些重要问题进行论述，介绍一些业已完成的重要设计方法和创新思路。正是因为本领域的研究成果较少，本文更着重于分析三维芯片测试中亟需深入解决的问题，希望能对国内从事测试研究的同仁有所启发，吸引更多的人关注三维芯片的测试方法，加速三维芯片测试的研究进展。

2　三维芯片的测试

封装前测试非常重要。这一测试通常是以一个晶圆（wafer）为单位，依赖探针（probe）完成：将晶圆固定在探针卡上，将探针扎在晶圆中晶片（die）的内部引脚上，施加或接受信号，完成测试。为了保证探针和晶圆引脚之间的接触性，通常探针需要施加一定的压力

（3-10g/探针），使之可以固定在晶圆的引脚上，如果引脚数目很多时，所施压力总和可能达到 60-120kg，这对于使用薄衬底的三维芯片而言难于适用。因而，就需要发展新的能够压缩输入输出端口数目的测试方法或者非接触式测试方法。

三维芯片测试相比于二维芯片，最大不同就是引入了硅直通孔以及超薄衬底。多个晶片通过硅直通孔相连，因而需要硅直通孔对齐。硅直通孔对齐偏差可能会引入过大的时延，从而导致时延故障。另外，超薄衬底的引入，也会增加芯片发生开路故障的概率，因而对这些故障必须重视。

同时，在选择三维芯片设计方法时，必须考虑到芯片的测试成本。从商业角度出发，测试方法的选择关键是方法对全周期成本的贡献。而决定这一贡献的一个重要指标是芯片的成品率。在绑定之前对晶片进行测试，会带来绑定前测试成本，但绑定前测试，能保证绑定后所得芯片的成品率较高。任何一个晶片发生故障，都会导致绑定后整个芯片失效，如果芯片内绑定的晶片数较多，不进行绑定前测试则发生失效的概率会非常高。因此是否要进行绑定前测试，必须考虑绑定前测试的成本与不测试造成的成品率下降分别对总成本的影响。对这一问题的分析，需要建立一个三维芯片的全周期测试成本分析模型和方法，分析成品率和各种工艺以及设计规模的关系，并考虑可测试性设计所引入的开销，如面积、功耗以及性能开销，进而综合对三维芯片的可测试性设计以及测试方法进行模型化和分析。

关于硅直通孔本身的失效问题，涉及到新型故障模型和测试生成，研究方法是确定的。囿于本文的篇幅，我们不做详细讨论。本文的重点在于介绍因三维设计的引入而带来的更高层次的问题，比如电路划分导致电路结构不完整，此时的测试问题如何解决，以及测试的协同优化等问题。

3 不完整电路的测试问题及解决方法

正如前面所述，三维芯片测试和传统的封装上系统以及多模块系统的测试的一个显著区别是组成三维芯片的各个晶片在功能或者是结构上可能是不完整的，这种不完整给测试带来了很多新的挑战。

3.1 逻辑电路不完整的测试方法

设计每层晶片的测试结构必须考虑两个方面：（1）测试结构应保证每层逻辑电路有足够的故障覆盖率并能使测试成本最小化；（2）每层的测试结构应能向上扩展以使该结构在多层组合后可以继续使用。一个方法是参考 Alpha 处理器的“测试岛（test island）” 结构[7]。如图 3[1]，每一层上设计“层测试控制器”（Layer Test Controller），层测试控制器负责提供和上下层相连的接口，通过接口可以将一个芯片中的所有层组合起来，最后可以通过 JTAG[1]（IEEE 1149.1 标准）接口和测试仪测试通道相连。

对于每一层而言，电路输入可能是该层晶片的对外接口，也可能是和上下层通过硅直通孔互连的接口，这些接口是通过其他层晶片输出信号驱动的。因而，这两种输入接口测试时的处理方法也不一样。如果是硅直通孔相连的，为了减少和探针相接触的引脚数，可以通过在这些输入上插入扫描单元，并进而将所插入的扫描单元连接成扫描链，通过扫描移位来对这些接口进行控制。这样，本来和硅直通孔相连的输入就有两个驱动源，一个是运行情况下通过硅直通孔接入的正常工作驱动源，另一个是在测试情况下，以扫描单元作为驱动源。为

[1] 一种国际标准测试协议（IEEE 1149.1 兼容），主要用于芯片内部测试。因由 JTAG(Joint Test Action Group; 联合测试行动小组)提出而得名。

了在不同应用情况下，分隔这两种驱动源，可以通过图 4 所描述的设计实现。在插入的扫描单元和硅直通孔之间插入一个直通器，该直通器受到一个测试使能信号驱动。当处于绑定前测试阶段时，施加测试使能信号，直通器打开，信号受扫描单元驱动。因为此时尚无硅直

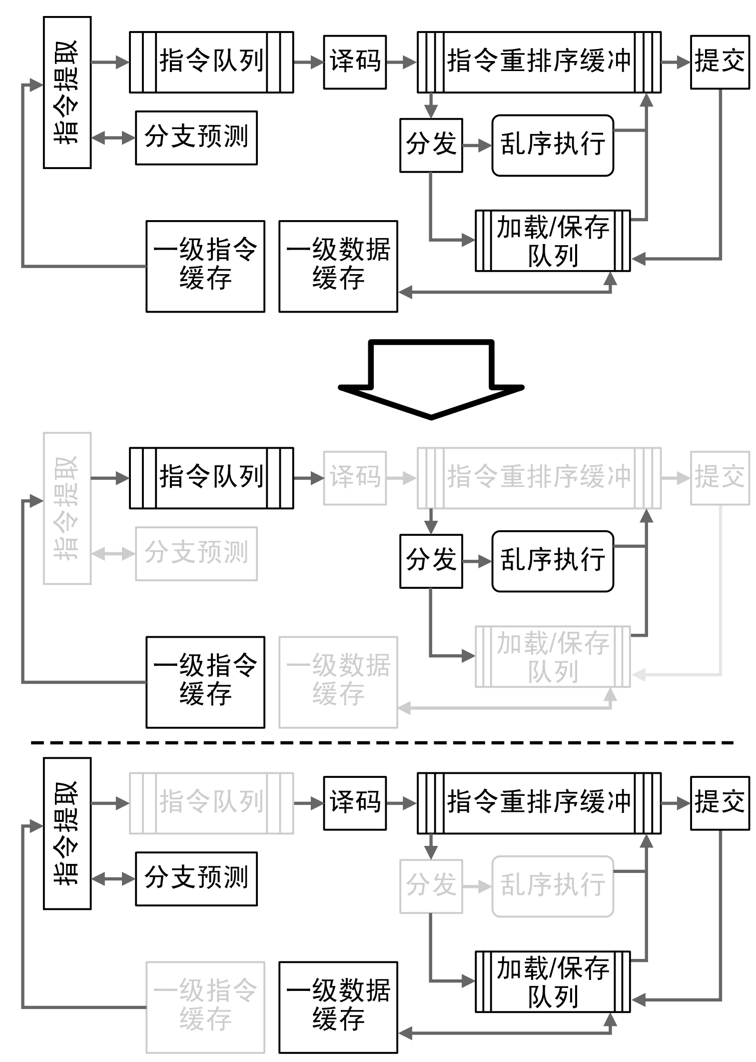


图2. 一个乱序执行处理器的电路级划分

图中显示了一个基本的乱序执行处理器是如何被划分在两层。

通孔，因而和硅直通孔相连部分为高阻。当处于绑定后进入运行阶段时，撤掉测试使能信号，直通器关闭，直通器输出为高阻，此时输入完全受来自硅直通孔的信号驱动。输出信号与此类似。

由图可以看出，每个硅直通孔都需要对应插入一个扫描单元和一个直通器。由于在三维芯片设计中，硅直通孔数量非常多，因而这种设计带来的一个问题是：需要插入的扫描单元和直通器数目会非常多。为了减少

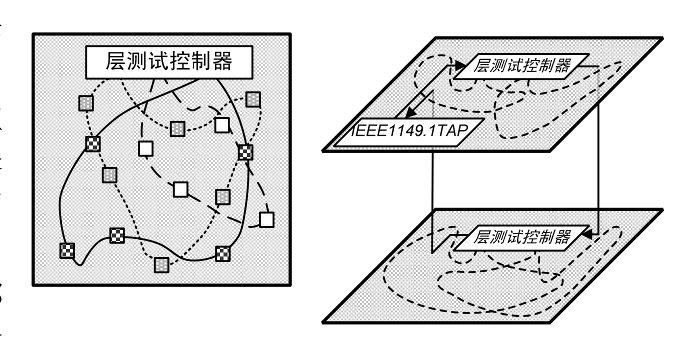


图3. 三维芯片基于 test island 的扫描链设计

左图为三个扫描链在同一层，与一个层测试控制器连接在一起。右图表示如何将两个层级扫描通过 IEEE1146.1TAP 集成为芯片级扫描。

面积开销和设计复杂度，就需要对这一结构进行优化：通过合理设计减少需插入的扫描单元和直通器的数目。

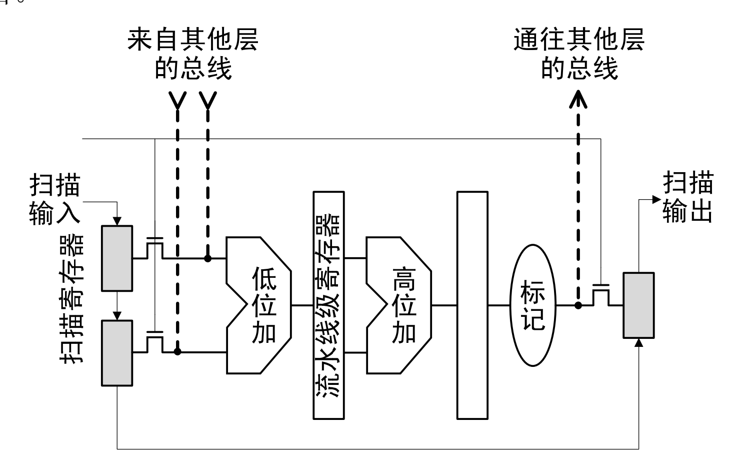


图4.　扫描链设计

3.2 时钟和供电网络不完整的测试方法

上文已介绍过，在三维芯片设计中，功能模块的时钟网络可能和逻辑电路分布在不同层晶片上。在完整的三维芯片中，时钟网络将通过硅直通孔和所驱动的逻辑电路相连。然而，在绑定前二者是分离的。如果在一个晶片中，所包含的电路没有时钟驱动信号的通路，时序单位将无法驱动。通常的扫描设计需要多个扫描单元（也即时序单元）进行协同工作，如果没有测试时钟，则扫描测试将无法完成。

同样的问题也出现在供电网络上。如果单个晶片上的供电网络不完整，则供电系统无法驱动该晶片完成绑定前测试。

一个解决时钟网络不完整问题的办法是在每个晶片上设计完整的时钟网络，也即通过冗余设计来为绑定前测试提供测试时钟。在单个晶片上设计冗余时钟，最大的问题是给电路的布局布线带来了困难。本来通过三维封装，多个晶片配合，时钟网络是完整的。此时在单个晶片上分别设计完整的时钟网络，必将给绑定后带来冗余，增加时钟网络的设计量，给时钟网络的布局布线优化带来了新的限制，制约了布线优化的效果。另外，即使考虑使用冗余时钟和冗余供电网络，也需要考虑前后设计的平衡性。绑定前后测试时钟要保持零偏置（zero-skew）。而对于一个晶片，绑定前后的测试时钟并非完全一样，同一个点上，在绑定前和绑定后可能需要接入不同的子时钟网络，所带的负载也不一样，因而要做到零偏置就必须谨慎设计，利用新的算法和电路结构。

4　绑定前后测试的协同优化问题

三维芯片测试流程包含两步：绑定前测试和集成后测试。因而测试成本也包含着两部分。如果从总测试成本角度考虑，测试结构和测试方法的优化必须要保证总测试成本最小，因而就必须考虑绑定前后测试的协同优化问题。

从扫描链设计角度出发，三维芯片的设计可以有三种方法：（1）每层单独设计，各自成链；（2）将三维映射成一个二维，简化为二维问题解决；（3）考虑水平和垂直连线的不同，按照三维曼哈顿距离，进行优化。可以看出，第一种方法不需要对原有二维扫描设计算法进行修改，但没有考虑垂直的硅直通孔，设计结果中硅直通孔数目可能较多。第二种方法，好处在于可直接使用二维算法，简单。但同样也没有考虑硅直通孔的成本。第三种方法实现了

真正的三维芯片扫描设计方法，缺点是需要修改二维芯片扫描设计方法，且算法开销较大。所依赖的算法可以归结为线性规划求解[4]。

除了扫描设计需要通盘考虑外，测试访问机制和测试调度也需要考虑绑定前后的协同问题。通常在晶片级测试时，需要确定测试线对于每个芯核的分配方法。在集成后，又要有一套新的测试线分配方法。为了保证各自测试成本最小化，二者的分配方法并不能保证完全一样。如果设计两套测试访问机制，则面积开销较大，难以接受，因此需要设计一套测试访问机制和测试调度算法，以保证绑定前和绑定后总测试成本最低。

三维芯片设计的一个最大挑战是热问题，由于多个晶片直接堆叠在一起，因此散热问题不易解决，特别是中心点温度会非常高。在测试调度时必须考虑散热，需要将散热作为一个新限制，指导测试时芯核的调度。当然这一问题主要是在集成后较为显著，在绑定前测试时并不需要特别关注。

5 结论

本文介绍了三维芯片面临的主要测试挑战和应对之策。作者在最后仍然想强调一下三维芯片测试的重要性。该重要性一方面来自于三维芯片具有非常大的普及前景，另一方面也来源于三维芯片设计对测试方法提出的难题可能导致对传统测试方法的颠覆性改变，因而可能会在未来 10 年内成为测试研究的热点。作者希望通过文章的分析，能够吸引更多研究人员参与该方向的研究。

6 致谢

本文是一篇综述性论文，不可避免引用很多参考文献中观点，对于第三方工作，我们在第一次引用时标出，同一个工作的后续引用不再重复。我课题组学生成元庆亦为本文的成稿提了很多意见，一并致谢。

参考文献：

[1] D. L. Lewis, H. H. Lee, “A Scan-Island Based Design Enabling Pre-bond Testability in Die-Stacked Microprocessors”, Proc. of International Test Conference, pp. 1-8, 2007.

[2] X. Zhao, D. L. Lewis, H. H. Lee, S. K. Lim, “Pre-bond Testable Low-Power Clock Tree Design for 3D Stacked ICs”, Proc. of International Conference on Computer Aided Design(ICCAD), 2009.

[3] D. L. Lewis, H. H. Lee, “Testing Circuit-Partitioned 3D IC Designs”, Proc. of International Symposium on VLSI, 2009.

[4] X. Wu, P. Falkenstern, Y. Xie, “Scan Chain Design for Three-dimensional Integrated Circuits(3D ICs)”, Proc. of International Conference on Computer Design, pp. 208-214, 2007.

[5] X. Wu, Y. Chen, K. Chakrabarty, Y. Xie, “Test-Access Mechanism Optimization for Core-Based Three-Dimensional SOCs”, Proc. of International Conference on Computer Design, 2008.

[6] T. Vucurevich, keynote speech, 3D Architecture Conference, 2007.

[7] Dilip K. Bhavsar, Richard A. Davies, “Scan islands-a scan partitioning architecture and its implementation on the alpha 21364 processor”, Proc. of VLSI Test Symposium, pp. 16-22, 2002.

[8] Y. Xie, G. H. Loh, B. Black, K. Bernstein, “Design Space Exploration for 3D Architectures”, Journal of Emerg. Technolo. Comput. Syst. 2(2): 65-103, 2006.

[9] C. Ababei, Y. Feng, B. Goplen, H. Goplen, H. Mogal, T. Zhang, K. Bazargan, S. S. Sapatnekar, “Placement and Routing in 3D integrated circuits”, IEEE Design and Test of Computers, 22(6): 520-531, 2005.

[10] B. Black, D. W. Nelson, C. Webb, N. Samra, “3D Processing Technology and Its Impact on IA32 Microprocessors”, in Proc. of ICCD, pp. 316-318, 2004.

[11] W. R. Davis, J. Wilson, S. Mick, J. Xu, H. Hua, C. Mineo, A. M. Sule, M. Steer, P. D. Franzon, “Demystifying 3D ICs: the Pros and Cons of going Vetical”, IEEE Design and Test of Computers, 22(6): 498-510, 2005.

[12] K. Banerjee, S. J. Souri, P. Kapur, K. C. Sarawat, “3-D ICs: a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration”, Proc. of IEEE, 89(5): 602-633, 2001.

[13] E. Beyne and et. Al, “Through-Silicon Via and Die Stacking Technologies for Microsystems-integration”, Proc. of IEEE Int. Electron Devices Meeting, 2008.

[14] D. Park, S. Eachempati, R. Das, A. K. Mishra, Y. Xie, N. Vijaykrishnan, C. R. Das, “MIRA: A Multi-layered On-Chip Interconnect Router Architecture”, Proc. of International Symposium on Computer Architecture, 2008.

[15] P. Zhou, Y. Ma, Z. Li, R. P. Dick, L. Shang, H. Zhou, X. Hong, Q. Zhou, “3D-STAF: Scalable Temperature and Leakage Aware Floorplanning for Three-Dimensional Integrated Circuit”, Proc. of International Conference on Computer-Aided Design, 2007.

作者简介：

韩银和： 中科院计算所，计算机系统结构重点实验室，副研究员，硕士生导师，yinhes@ict.ac.cn

张　磊： 中科院计算所，计算机系统结构重点实验室，助理研究员

李晓维： 中科院计算所，计算机系统结构重点实验室，研究员，博士生导师